

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-221929

(43)Date of publication of application : 11.08.2000

(51)Int.Cl. G09G 3/20
G09G 3/36

(21)Application number : 11-023383

(71)Applicant : SONY CORP

(22)Date of filing : 01.02.1999

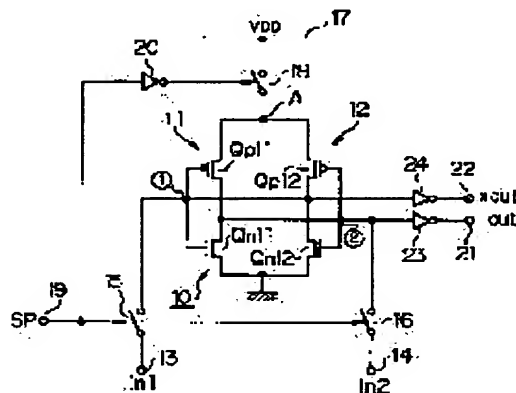
(72)Inventor : NAKAJIMA YOSHIHARU
MAEKAWA TOSHIICHI

(54) SAMPLING LATCH CIRCUIT, AND LIQUID CRYSTAL DISPLAY DEVICE MOUNTING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a sampling latch circuit capable of being applied in a device having a large threshold V_{th} such as TFT, and capable of fulfilling simultaneously both miniaturization of the area and reduction of the power consumption, and liquid crystal display device mounting the sampling latch circuit.

SOLUTION: A CMOS latch cell 10 having a comparator formation is used as a basic formation, and switches 15, 16 are connected between two input parts of the CMOS latch cell 10 (each input terminal of CMOS inverters 11, 12) and two input signal sources (two circuit input terminals 13, 14 where input signals in1, in2 are inputted), and a switch 18 is connected to the power supply side of the CMOS latch cell 10, and a supplemental switching control between the switches 15, 16 and the switch 18 is executed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-221929

(P2000-221929A)

(43) 公開日 平成12年8月11日 (2000.8.11)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 G 5 C 0 0 6
	6 1 1		6 1 1 A 5 C 0 8 0
	6 2 1		6 2 1 M
3/36		3/36	

審査請求 未請求 請求項の数14 O L (全 10 頁)

(21) 出願番号 特願平11-23383

(22) 出願日 平成11年2月1日 (1999.2.1)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 仲島 義晴

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

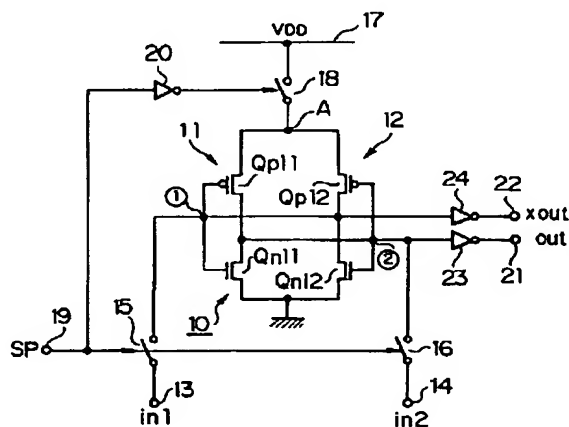
最終頁に続く

(54) 【発明の名称】 サンプリングラッチ回路およびこれを搭載した液晶表示装置

(57) 【要約】

【課題】 CMOSラッチセルを基本構成とするサンプリングラッチ回路において、閾値 V_{th} が大きいデバイスを用いた場合、CMOSラッチセルを構成する各トランジスタをオンさせるために十分な振幅の信号を入力する必要がある。

【解決手段】 比較器構成のCMOSラッチセル10を基本構成とし、このCMOSラッチセル10の2つの入力部 (CMOSインバータ11、12の各入力端) と2つの入力信号源 (入力信号 $in1$ 、 $in2$ が入力される2つの回路入力端子13、14) との間にスイッチ15、16を接続するとともに、CMOSラッチセル10の電源側にもスイッチ18を接続し、スイッチ15、16とスイッチ18とを相補的にスイッチング制御するようにする。



【特許請求の範囲】

【請求項 1】 比較器構成の CMOS ラッチセルを基本構成とし、

前記 CMOS ラッチセルの 2 つの入力部と 2 つの入力信号源との間にそれぞれ接続された第 1 のスイッチと、
前記 CMOS ラッチセルの電源側と電源ラインとの間に接続された第 2 のスイッチと、
前記第 1 のスイッチと前記第 2 のスイッチとを相補的にスイッチング制御する制御手段とを備えたことを特徴とするサンプリングラッチ回路。

【請求項 2】 前記第 1、第 2 のスイッチがトランジスタによって実現されていることを特徴とする請求項 1 記載のサンプリングラッチ回路。

【請求項 3】 請求項 1 記載のサンプリングラッチ回路が複数個配置されており、この複数個のサンプリングラッチ回路に対して前記第 2 のスイッチが共用されていることを特徴とするサンプリングラッチ回路。

【請求項 4】 前記 CMOS ラッチ回路の出力信号を導出する出力回路の電源側と電源ラインとの間にも、前記第 2 のスイッチと同期してスイッチング制御される第 3 のスイッチを有することを特徴とする請求項 1 記載のサンプリングラッチ回路。

【請求項 5】 前記第 2 のスイッチを前記第 3 のスイッチに兼用したことを特徴とする請求項 4 記載のサンプリングラッチ回路。

【請求項 6】 請求項 5 記載のサンプリングラッチ回路が複数個配置されており、この複数個のサンプリングラッチ回路に対して前記第 2 のスイッチが共用されていることを特徴とするサンプリングラッチ回路。

【請求項 7】 ガラス基板上に形成された薄膜トランジスタを用いて作成されていることを特徴とする請求項 1 記載のサンプリングラッチ回路。

【請求項 8】 シリコン基板上に形成された薄膜トランジスタを用いて作成されていることを特徴とする請求項 1 記載のサンプリングラッチ回路。

【請求項 9】 走査系を含む駆動回路を画素部と同一基板上に一体形成してなる液晶表示装置であって、
前記走査系を、比較器構成の CMOS ラッチセルを基本構成とし、前記 CMOS ラッチセルの 2 つの入力部と 2 つの入力信号源との間にそれぞれ接続された第 1 のスイッチと、前記 CMOS ラッチセルの電源側と電源ラインとの間に接続された第 2 のスイッチと、前記第 1 のスイッチと前記第 2 のスイッチとを相補的にスイッチング制御する制御手段とを備えたサンプリングラッチ回路を用いて構成したことを特徴とする液晶表示装置。

【請求項 10】 前記第 1、第 2 のスイッチがトランジスタによって実現されていることを特徴とする請求項 9 記載の液晶表示装置。

【請求項 11】 前記サンプリングラッチ回路がデジタルデータのビット数に対応して複数個配置されており、

この複数個のサンプリングラッチ回路に対して前記第 2 のスイッチが共用されていることを特徴とする請求項 9 記載の液晶表示装置。

【請求項 12】 前記 CMOS ラッチ回路の出力信号を導出する出力回路の電源側と電源ラインとの間にも、前記第 2 のスイッチと同期してスイッチング制御される第 3 のスイッチを有することを特徴とする請求項 9 記載の液晶表示装置。

【請求項 13】 前記第 2 のスイッチを前記第 3 のスイッチに兼用したことを特徴とする請求項 12 記載の液晶表示装置。

【請求項 14】 前記サンプリングラッチ回路がデジタルデータのビット数に対応して複数個配置されており、この複数個のサンプリングラッチ回路に対して前記第 2 のスイッチが共用されていることを特徴とする請求項 13 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、サンプリングラッチ回路およびこれを搭載した液晶表示装置に関し、特に CMOS ラッチセルを基本構成とし、レベルシフト機能を持つサンプリングラッチ回路およびこのサンプリングラッチ回路を走査系の構成回路の一つとして搭載したいわゆる駆動回路一体型液晶表示装置に関する。

【0002】

【従来の技術】CMOS で構成されるレベルシフト機能を持つサンプリングラッチ回路の従来例を図 10 に示す。この従来例に係るサンプリングラッチ回路は、入力信号 $in1$ をゲート入力とし、ソースがグランドに接続された N チャネル MOS（以下、単に NMOS と記す）トランジスタ $Qn101$ と、入力信号 $in2$ をゲート入力とし、ソースがグランドに接続された NMOS トランジスタ $Qn102$ と、NMOS トランジスタ $Qn101$ のドレインと電源 VDD との間に接続され、ゲートが NMOS トランジスタ $Qn102$ のドレインに接続された P チャネル MOS（以下、単に PMOS と記す）トランジスタ $Qp101$ と、NMOS トランジスタ $Qn102$ のドレインと電源 VDD との間に接続され、ゲートが NMOS トランジスタ $Qn101$ のドレインに接続された PMOS トランジスタ $Qp102$ とを有する比較器構成の CMOS ラッチセル 101 を基本構成としている。

【0003】この CMOS ラッチセル 101 における NMOS トランジスタ $Qn102$ 、 $Qn101$ の各ドレイン出力は、インバータ 102、103 およびサンプリングスイッチ 104、105 を経てラッチ回路 106 でラッチされる。そして、このラッチ回路 106 の一方のラッチ出力は、インバータ 107 で反転されて出力信号 out として導出され、他方のラッチ出力は、インバータ 108 で反転されて出力信号 out の反転信号 $xout$ として導出される。

【0004】上記構成の従来例に係るサンプリングラッチ回路において、 $in1$ として例えば3Vの低電圧振幅の信号が入力され、 $in2$ として入力信号 $in1$ の反転信号が入力されるものとする。この3Vの低電圧振幅の入力信号 $in1$ 、 $in2$ は、CMOSラッチセル101で一旦回路の電源電圧VDDまで昇圧され、その後インバータ102、103を経てサンプリングスイッチ104、105でサンプリングパルスSPによってサンプリングされ、ラッチ回路106に格納される。そして、インバータ107、108で反転されて出力信号 out 、 $xout$ として導出されることになる。

【0005】

【発明が解決しようとする課題】しなしながら、上述した従来例に係るサンプリングラッチ回路では、回路を構成する素子数が多いため小面積化が困難であり、またTFT (thin film transistor; 薄膜トランジスタ) のような閾値 V_{th} が大きいデバイスを用いて回路を構成した場合に、その閾値 V_{th} に対して入力信号 $in1$ 、 $in2$ の電圧振幅が小さすぎて、各トランジスタを確実にオンさせることができないため、サンプリング動作が不能となる懸念がある。

【0006】これに対して、デバイスの閾値 V_{th} が高くとも動作しやすいようにした従来例を図11に示す。この他の従来例に係るサンプリングラッチ回路は、キャパシタにより信号の直流レベルをシフトさせる構成を採っている。すなわち、信号 $in1$ を入力とするスイッチ201と、信号 $in2$ を入力とするスイッチ202の各出力端が共通に接続され、その共通接続点にスイッチキャパシタ203の一端が接続されている。このキャパシタ203の他端には、スイッチ204、205の各一端およびインバータ205の入力端が接続されている。

【0007】スイッチ205の他端にはインバータ207の出力端が接続されている。そして、スイッチ204の他端、インバータ206の出力端およびインバータ207の入力端が共通に接続され、その共通接続点にインバータ208の入力端が接続され、このインバータ208の出力端から出力信号 out が導出されるようになっている。

【0008】上記構成の他の従来例に係るサンプリングラッチ回路では、スイッチキャパシタ203が比較器として用いられており、その回路動作は次のようになる。まず、イコライジングパルスEqに応答してスイッチ202、204をオンすることによって回路のリセットが行われ、しかる後サンプリングパルスSPに応答してスイッチ201がオンすることによって低電圧振幅の入力信号 $in1$ がサンプリングされる。続いて、このサンプリングされた信号 $in1$ は、キャパシタ203で入力信号 $in2$ と比較されながらレベルシフトされ、最終的にラッチパルスLTに응答してスイッチ205がオンすることによってインバータ206、207からなるラ

ッチ回路でラッチされる。

【0009】このように、他の従来例に係るサンプリングラッチ回路では、キャパシタ203により信号 $in1$ の直流レベルをシフトさせていることから、閾値 V_{th} が高いTFTを用いて構成された回路であっても動作しやすくなるため、安定したサンプリング&ラッチ動作を実現できるのである。しかしながらその反面、リセット時に直流電流を流す必要があるため低消費電力化が困難であり、また回路動作に必要なパルスの種類が多く、かつタイミング制御が難しいため制御回路の構成が複雑になり、したがって小面積化も難しい。

【0010】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、TFTのような閾値 V_{th} の大きなデバイスにも適用でき、かつ小面積化および低消費電力化を同時に満足できるサンプリングラッチ回路およびこれを搭載した液晶表示装置を提供することにある。

【0011】

【課題を解決するための手段】本発明によるサンプリングラッチ回路は、比較器構成のCMOSラッチセルを基本構成とし、このCMOSラッチセルの2つの入力部と2つの入力信号源との間にそれぞれ接続された第1のスイッチと、CMOSラッチセルの電源側と電源ラインとの間に接続された第2のスイッチと、第1のスイッチと第2のスイッチとを相補的にスイッチング制御する制御手段とを備えた構成となっている。

【0012】本発明による液晶表示装置は、走査系を含む駆動回路を画素部と同一基板上に一体形成してなる駆動回路一体型液晶表示装置であって、走査系の構成回路の一つを、上記構成のサンプリングラッチ回路を用いて構成している。

【0013】上記構成のサンプリングラッチ回路およびこれを搭載した液晶表示装置において、第1のスイッチがオン（閉）することで、2つの入力信号のサンプリングが行われる。このサンプリング期間では第2のスイッチがオフ（開）状態にあり、したがってCMOSラッチセルは電源から切り離される。そして、サンプリング期間が終了し、第2のスイッチがオン状態となり、CMOSラッチセルに電源が供給された瞬間には、小電圧振幅の入力信号が電源電圧の振幅の信号としてラッチされる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。

【0015】図1は、本発明の第1実施形態に係るサンプリングラッチ回路の構成の一例を示す回路図である。この第1実施形態に係るサンプリングラッチ回路は、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSTランジスタ Q_{n1} およびPMOSTランジスタ Q_{p1} からなるCMOSインバータ11と、各々

のゲートおよびドレインがそれぞれ共通に接続されたNMOSTランジスタQn12およびPMOSTランジスタQp12からなるCMOSインバータ12とが、電源電圧VDDの電源ライン17とグラウンドとの間に互いに並列に接続されてなる比較器構成のCMOSラッチセル10を基本構成としている。

【0016】このCMOSラッチセル10において、CMOSインバータ11の入力端、即ちMOSTランジスタQn11、Qp11のゲート共通接続点と、CMOSインバータ12の出力端、即ちMOSTランジスタQn12、Qp12のドレイン共通接続点とが接続され、さらにCMOSインバータ12の入力端、即ちMOSTランジスタQn12、Qp12のゲート共通接続点とCMOSインバータ11の出力端、即ちMOSTランジスタQn11、Qp11のドレイン共通接続点とが接続されている。

【0017】また、CMOSインバータ11の入力端と第1回路入力端子13との間にスイッチ15が、CMOSインバータ12の入力端と第2回路入力端子14との間にスイッチ16がそれぞれ接続されている。さらに、CMOSラッチセル10の電源側、即ちノードAと電源ライン17との間にも、スイッチ18が接続されている。スイッチ15、16はサンプリング端子19から入力されるサンプリングパルスSPによって直接スイッチング制御され、スイッチ18はインバータ20を経たサンプリングパルスSPの反転パルスによってスイッチング制御される。また、CMOSインバータ12の入力端であるノード②と第1回路出力端子21との間にインバータ23が、CMOSインバータ11の入力端であるノード①と第2回路出力端子22との間にインバータ24

【0018】上記構成の第1実施形態に係るサンプリングラッチ回路において、第1回路入力端子13には例えば3V程度の振幅Vpの信号in1が入力され、第2回路入力端子14には0V以上Vp以下の電圧範囲内の任意の直流電圧（基準電圧Vref）が信号in2として入力されるものとする。

【0019】ここで、図2のタイミングチャートを用いて回路動作を説明するに、サンプリング端子19からアクティブ“H”のサンプリングパルスSPが入力されると、スイッチ15、16がオン（閉）状態となり、これにより入力信号in1、in2は、CMOSラッチセル10のノード①、②に伝達される。このとき同時に、サンプリングパルスSPの反転パルスによってスイッチ18がオフ（開）状態となるため、CMOSラッチセル10の電源側（ノードA）が電源ライン17と切り離される。

【0020】次に、サンプリングパルスSPが消滅すると、CMOSラッチセル10のノード①、②が第1、第2回路入力端子13、14と分断され、同時にCMOS

ラッチセル10の電源側が電源ライン17に接続される。この瞬間のノード①、②の電圧に応じた比較処理がCMOSラッチセル10によって行われ、かつラッチ動作が始まる。最終的に、ノード①はサンプリングパルスSPの消滅した瞬間の入力信号in1の極性にしながら電源電圧VDDもしくは0Vにラッチされることになる。このときノード②には、その逆極性の電圧がラッチされる。

【0021】以上の回路動作により、振幅Vpが例えば3V程度の入力信号in1のデータが、サンプリングパルスSPに同期してサンプリングされ、かつノード①に電源電圧VDDの振幅のデータとしてラッチされる。そして、ノード②のラッチデータは、インバータ23で反転されて第1回路出力端子21から出力信号outとして導出され、ノード①のラッチデータは、インバータ24で反転されて第2回路出力端子22から出力信号outの反転信号xoutとして導出される。

【0022】上述したように、比較器構成のCMOSラッチセル10を基本構成とし、このCMOSラッチセル10の2つの入力部（ノード①、②）と、2つの入力信号源（第1、第2回路入力端子13、14）との間にそれぞれスイッチ15、16を接続するとともに、CMOSラッチセル10の電源側（ノードA）と電源ライン17との間にもスイッチ18を接続し、スイッチ15、16とスイッチ18とを相補的にスイッチング制御するようにしたことにより、スイッチ15、16による入力信号in1、in2のサンプリング期間にはCMOSラッチセル10に電流が流れず、したがって動作時に流れる直流電流は極めて僅かであるため、本サンプリングラッチ回路での消費電力を低減できることになる。

【0023】また、サンプリング期間が終了し、CMOSラッチセル10にスイッチ18を通して電源電圧VDDが供給された瞬間には、振幅Vpが例えば3V程度の入力信号in1のデータが電源電圧VDDの振幅のデータとしてラッチされることになるため、TFTのような閾値Vthの大きなデバイスを用いて構成した回路の場合であっても、安定したサンプリング&ラッチ動作を実現できる。しかも、CMOSラッチセル10の基本回路に対してスイッチ15、16、18等を付加するだけで構成できるため、非常の少ない素子数にて小面積でレベルシフト機能を持つサンプリングラッチ回路を実現できることになる。

【0024】なお、本実施形態に係るサンプリングラッチ回路においては、入力信号in2として、 $0 \leq V_{ref} \leq V_p$ の範囲の直流電圧（基準電圧）Vrefを入力するとしたが、入力信号in1の論理を判別することができれば良い訳であるから、必ずしも直流電圧である必要はなく、図3のタイミングチャートに示すように、入力信号in1の反転信号を、その判別の基準信号として用いるようにすることも可能である。この場合には、0

$\leq V_{ref} \leq V_p$ の範囲の直流電圧を基準電圧とする場合よりも、入力信号 i_{n1} の論理判別のマージンを大きくとれる利点がある。

【0025】また、図1の回路例では、非反転と反転の2つの出力信号 out 、 $xout$ を導出する構成となっているが、いずれか一方の出力信号のみを導出する構成であっても良い。この場合には、2つのインバータ23、24のうち的一方が不要になる。

【0026】図4は、第1実施形態に係るレベルシフト回路の変形例を示す回路図であり、図中、図1と同等部分には同一符号を付して示している。この変形例に係るレベルシフト回路では、図1の信号入力側のスイッチ15、16としてNMOSトランジスタ Q_{n13} 、 Q_{n14} を用いるとともに、電源側のスイッチ18としてPMOSトランジスタ Q_{p13} を用い、これらトランジスタの各ゲートに対してサンプリングパルス SP を直接印加するようにした構成となっている。

【0027】このように、スイッチ15、16、18をトランジスタで実現した場合にも、その回路の動作は図1の回路の場合と同じである。また、タイミング例についても図2および図3と同じである。なお、本変形例では、スイッチ15、16をNMOS、スイッチ18をPMOSで実現しているが、サンプリングパルス SP がアクティブ“L”の場合には、その極性は逆になることは明らかである。

【0028】図5は、本発明の第2実施形態に係るサンプリングラッチ回路の構成の一例を示す回路図である。この第2実施形態に係るサンプリングラッチ回路は、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSトランジスタ Q_{n31} およびPMOSトランジスタ Q_{p31} からなるCMOSインバータ31と、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSトランジスタ Q_{n32} およびPMOSトランジスタ Q_{p32} からなるCMOSインバータ32とが、電源ライン37とグランドとの間に互いに並列に接続されてなる比較器構成のCMOSラッチセル30を基本構成としている。

【0029】このCMOSラッチセル30において、CMOSインバータ31の入力端、即ちMOSトランジスタ Q_{n31} 、 Q_{p31} のゲート共通接続点と、CMOSインバータ32の出力端、即ちMOSトランジスタ Q_{n32} 、 Q_{p32} のドレイン共通接続点とが接続され、さらにCMOSインバータ32の入力端、即ちMOSトランジスタ Q_{n32} 、 Q_{p32} のゲート共通接続点とCMOSインバータ31の出力端、即ちMOSトランジスタ Q_{n31} 、 Q_{p31} のドレイン共通接続点とが接続されている。

【0030】また、CMOSインバータ31の入力端と第1回路入力端子33との間にスイッチ35が、CMOSインバータ32の入力端と第2回路入力端子34との

間にスイッチ36がそれぞれ接続されている。さらに、CMOSラッチセル30の電源側、即ちノードAと電源ライン37との間にも、スイッチ38が接続されている。スイッチ35、36はサンプリング端子39から入力されるサンプリングパルス SP によって直接スイッチング制御され、スイッチ38はインバータ40を経たサンプリングパルス SP の反転パルスによってスイッチング制御される。

【0031】また、CMOSインバータ32の入力端であるノード②と第1回路出力端子41との間にインバータ43が、CMOSインバータ31の入力端であるノード①と第2回路出力端子42との間にインバータ44がそれぞれ接続されている。インバータ43は、各ゲートおよびドレインがそれぞれ共通に接続され、かつノードAとグランドとの間に接続されたP、NMOSトランジスタ Q_{p33} 、 Q_{n33} からなるCMOSインバータ構成となっている。インバータ44も同様に、各ゲートおよびドレインがそれぞれ共通に接続され、かつノードAとグランドとの間に接続されたP、NMOSトランジスタ Q_{p34} 、 Q_{n34} からなるCMOSインバータ構成となっている。

【0032】上記構成の第2実施形態に係るサンプリングラッチ回路において、第1回路入力端子33には例えば3V程度の振幅 V_p の信号 i_{n1} が入力され、第2回路入力端子34には0V以上 V_p 以下の範囲内の任意の直流電圧が信号 i_{n2} として入力されるものとする。この第2実施形態に係るサンプリングラッチ回路の回路動作は、第1実施形態に係るサンプリングラッチ回路のそれと基本的に同じである。

【0033】すなわち、サンプリング端子39からアクティブ“H”のサンプリングパルス SP が入力されると、スイッチ35、36がオン（閉）状態となり、これにより入力信号 i_{n1} 、 i_{n2} は、CMOSラッチセル30のノード①、②に伝達される。このとき同時に、サンプリングパルス SP の反転パルスによってスイッチ38がオフ（開）状態となるため、CMOSラッチセル30の電源側が電源ライン37と切り離される。

【0034】次に、サンプリングパルス SP が消滅すると、CMOSラッチセル30のノード①、②が第1、第2回路入力端子33、34と分断され、同時にCMOSラッチセル30の電源側が電源ライン37に接続される。この瞬間のノード①、②の電圧に応じた比較処理がCMOSラッチセル30によって行われ、かつラッチ動作が始まる。最終的に、ノード①はサンプリングパルス SP の消滅した瞬間の入力信号 i_{n1} の極性にしたがって電源電圧 V_{DD} もしくは0Vにラッチされることになる。このときノード②には、その逆極性の電圧がラッチされる。

【0035】以上の回路動作により、振幅 V_p が例えば3V程度の入力信号 i_{n1} のデータが、サンプリングパ

10

20

30

40

50

ルスSPに同期してサンプリングされ、かつノード①に電源電圧VDDの振幅のデータとしてラッチされる。そして、ノード②のラッチデータは、インバータ43で反転されて第1回路出力端子41から出力信号outとして導出され、ノード③のラッチデータは、インバータ44で反転されて第2回路出力端子42から出力信号outの反転信号xoutとして導出される。

【0036】この第2実施形態に係るサンプリングラッチ回路の構成によれば、先述した第1実施形態に係るサンプリングラッチ回路による作用効果に加えて、CMOSインバータ43、44に対する電源供給についてもC

MOSラッチセル30と同様にスイッチング制御するようにしたことにより、CMOSインバータ43、44に流れる不要な電流を削減できるため、本サンプリングラッチ回路での消費電力をさらに低減できることになる。

【0037】なお、第2実施形態に係るサンプリングラッチ回路の場合にも、図4に示した第1実施形態の変形例の場合のように、スイッチ35、36、38をトランジスタで実現可能であり、また入力信号in2として入力信号in1の反転信号を用いたり、非反転と反転の2つの出力信号out、xoutのうちのいずれか一方のみを導出する構成とすることも可能である。

【0038】以上説明した本発明の第1、第2実施形態に係るサンプリングラッチ回路は、例えば、各画素のスイッチング素子としてポリシリコンTFTが2次元マトリクス状に配置されたガラス基板上に、デジタルインターフェース駆動回路をポリシリコンTFTで画素部と一体形成してなるいわゆる駆動回路一体型液晶表示装置において、その水平駆動系のサンプリング&第1ラッチ回路として用いられる。図6に、駆動回路一体型液晶表示装置の構成の一例を示す。

【0039】図6において、画素が2次元マトリクス状に配置されてなる有効画素領域41の例えば上側に水平駆動系42が配され、また例えば左側に垂直駆動系43が配され、ポリシリコンTFTで有効画素領域41と共にガラス基板上に一体形成された構成となっている。水平駆動系42は、水平シフトレジスタ421、サンプリング&第1ラッチ回路422、第2ラッチ回路423およびDA（デジタルアナログ）コンバータ424によって構成されている。垂直駆動系43は、シフトレジスタを含む垂直ドライバ431によって構成されている。

【0040】水平駆動系42において、水平シフトレジスタ421には、水平転送パルスとして水平スタートパルスHSTおよび水平クロックパルスHCKが与えられる。すると、水平シフトレジスタ421は、水平スタートパルスHSTにตอบสนองして水平クロックパルスHCKの周期で各段から順次シフトパルスを出力することによって水平走査を行う。サンプリング&第1ラッチ回路422は、水平シフトレジスタ421から出力されるシフトパルスにตอบสนองしてデジタルデータを順次サンプリング

し、さらにサンプリングしたデータを有効画素領域41の各コラム線ごとにラッチする。

【0041】第2ラッチ回路423は、サンプリング&第1ラッチ回路422でラッチされたコラム線に対応するラッチデータを、1H（Hは水平走査期間）周期で与えられるラッチ信号にตอบสนองして1Hごとに再ラッチする。DAコンバータ424は、第2ラッチ回路423に再ラッチされたデジタルデータを各コラム線ごとにアナログ信号に変換し、このアナログ信号を対応するコラム線に供給する。

【0042】上記構成の駆動回路一体型液晶表示装置において、水平駆動系42のサンプリング&第1ラッチ回路422として、本発明の第1、第2実施形態に係るサンプリングラッチ回路が用いられるのである。このように、小面積で実現でき、低消費電力のサンプリングラッチ回路を搭載することにより、当該サンプリングラッチ回路を含む水平駆動系42や垂直駆動系43などの駆動回路を、有効画素領域41と同一基板上に作成する際に、当該駆動回路を配する有効画素領域41の周辺領域（額縁）を狭くできるとともに、低消費電力の駆動回路一体型液晶表示装置を実現できることになる。

【0043】また、このサンプリングラッチ回路は、先述したことから明らかなように、閾値Vthが大きいデバイス、例えばTFTを用いた回路であっても、安定したサンプリング&ラッチ動作を実現できるため、デジタルインターフェース駆動回路をポリシリコンTFTで有効画素領域41と一体形成した駆動回路一体型液晶表示装置において、その水平駆動系42のサンプリング&第1ラッチ422として用いて有用なものとなる。以下

に、その適用の具体例について説明する。

【0044】図7は、その具体例を示すブロック図であり、例えば3ビットのデジタルデータb0、b1、b2を入力とする場合の例を示す。同図から明らかなように、デジタルデータb0、b1、b2の各ビットごとにサンプリングラッチ回路422-1、422-2、422-3が設けられている。これらサンプリングラッチ回路422-1、422-2、422-3には、入力信号in1としてデジタルデータb0、b1、b2の各ビットデータが入力され、入力信号in2として基準電圧（直流電圧）Vrefが各回路に共通に入力される。そして、水平シフトレジスタ421から出力されるサンプリングパルスSPにしたがって、低電圧振幅のデータ信号b0、b1、b2のサンプリングを行うようになっている。

【0045】このサンプリングラッチ回路422-1、422-2、422-3の各々において、サンプリングされた信号は、TFT回路に必要な高電圧振幅の信号にレベルシフトされかつラッチされる。そして、このラッチされた高電圧振幅の信号は、サンプリングラッチ回路422-1、422-2、422-3と同様にデジタルデータの各ビットごとに設けられた第2ラッチ回路423-1、423

-2, 4 2 3-3により線順次処理され、DAコンバータ4 2 4を通して有効画素領域4 1の対応するコラム線に出力される。

【0046】ここで、サンプリングラッチ回路4 2 2-1, 4 2 2-2, 4 2 2-3は非常に小面積の中に納め得ることが要求される。1つのサンプリングラッチユニットに割り当てられる水平方向の長さは、図6に示す駆動回路一体型液晶表示装置の構成では、ドットピッチ/ビット数となり、極めて短い。したがって、この条件を満足できるサンプリングラッチ回路4 2 2-1, 4 2 2-2, 4 2 2-3として、小面積で実現できる本発明に係るサンプリングラッチ回路が非常に有効なものとなる。

【0047】なお、図7の回路例では、入力信号 $i n 2$ として基準電圧(直流電圧) $V r e f$ を各回路に共通に inputs する構成となっているが、第1実施形態に係るサンプリングラッチ回路においても説明したように、図8に示すように、各サンプリングラッチ回路4 2 2-1, 4 2 2-2, 4 2 2-3ごとに、データ信号 $b 0, b 1, b 2$ の反転信号 $x b 0, x b 1, x b 2$ を入力することも可能である。

【0048】図9は、図8の変形例を示すブロック図であり、図中、図8と同等部分には同一符号を付して示している。この変形例では、各サンプリングラッチ回路4 2 2-1, 4 2 2-2, 4 2 2-3の電源側のスイッチ(図1のスイッチ18、図5のスイッチ38に相当)を各回路4 2 2-1, 4 2 2-2, 4 2 2-3間で共用し、このスイッチを例えばPMOSトランジスタ $Q p 4 1$ で実現した構成となっている。

【0049】上記の構成によれば、デジタルデータが例えば3ビットの場合には、電源側のスイッチを2個削減できることになるため、さらなる小面積化が可能となる。また、図7の回路例の場合と同様に、反転信号 $x b 0, x b 1, x b 2$ に代えて、直流電圧の基準電圧 $V r e f$ を各サンプリングラッチ回路4 2 2-1, 4 2 2-2, 4 2 2-3に共通の入力信号 $i n 2$ としても良い。

【0050】なお、本例では、本発明に係るサンプリングラッチ回路を、駆動回路一体型液晶表示装置における水平駆動系のサンプリング&第1ラッチ回路4 2 2に適用した場合を例にとって説明したが、これに限られるものではなく、シリコン基板上に形成されたTFTを用いた回路、またTFTに限らず閾値 $V t h$ の大きなデバイ

スを用いた回路全般に対して適用可能である。

【0051】

【発明の効果】以上説明したように、本発明によれば、比較器構成のCMOSラッチセルを基本構成とし、このCMOSラッチセルの2つの入力部と、2つの入力信号源との間にそれぞれ第1のスイッチを接続するとともに、CMOSラッチセルの電源側と電源ラインとの間にも第2のスイッチを接続し、第1のスイッチと第2のスイッチとを相補的にスイッチング制御するようにしたことにより、非常に少ない素子数で構成できるとともに、第1のスイッチによるサンプリング期間にはCMOSラッチセルに電流が流れないため、閾値 $V t h$ が大きいデバイスを用いた場合であっても、小面積、低消費電力にて安定したサンプリング&ラッチ動作を実現できることになる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るサンプリングホールド回路の構成の一例を示す回路図である。

【図2】第1実施形態に係るサンプリングホールド回路の回路動作を説明するためのタイミングチャートである。

【図3】入力信号 $i n 1$ の反転信号を入力信号 $i n 2$ とした場合のタイミングチャートである。

【図4】第1実施形態の変形例を示す回路図である。

【図5】本発明の第2実施形態に係るサンプリングホールド回路の構成の一例を示す回路図である。

【図6】本発明に係る駆動回路一体型液晶表示装置の構成の一例を示すブロック図である。

【図7】水平駆動系のサンプリング&第1ラッチ回路に適用した場合の具体例を示すブロック図である。

【図8】デジタルデータの反転データを入力信号 $i n 2$ とした場合の構成を示すブロック図である。

【図9】図8の変形例を示すブロック図である。

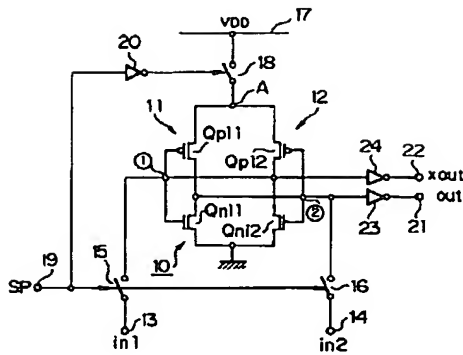
【図10】従来例を示す回路図である。

【図11】他の従来例を示す回路図である。

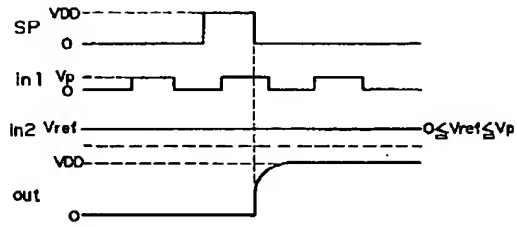
【符号の説明】

10, 30…CMOSラッチセル、11, 12, 31, 32…CMOSインバータ、15, 16, 18, 35, 36, 38…スイッチ、23, 24, 43, 44…インバータ、41…有効画素領域、42…水平駆動系、43…垂直駆動系、422…サンプリング&第1ラッチ回路

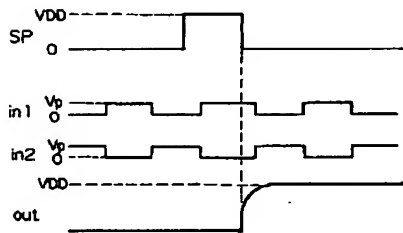
【図1】



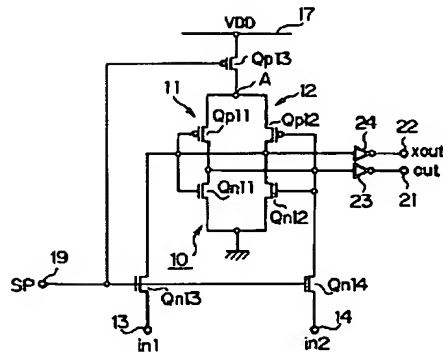
【図2】



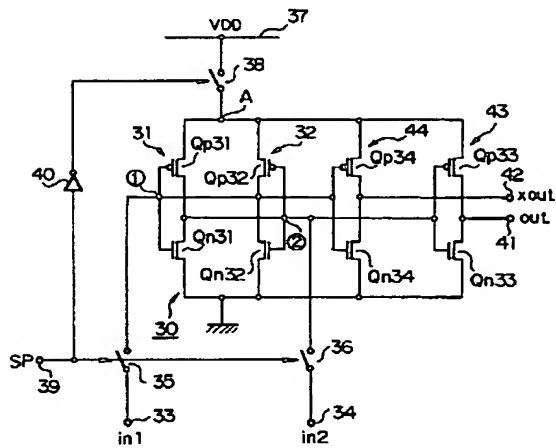
【図3】



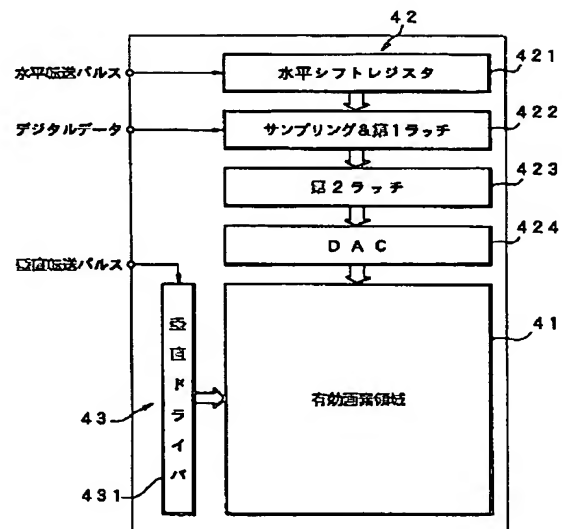
【図4】



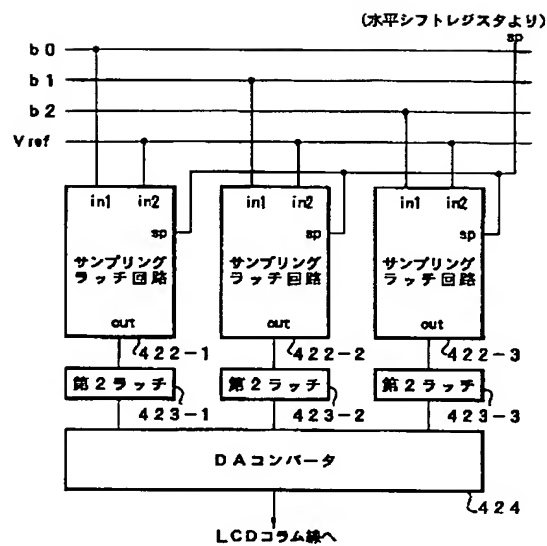
【図5】



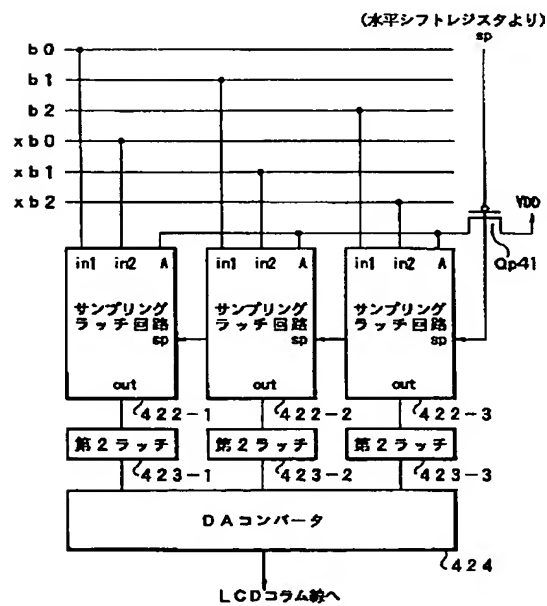
【図6】



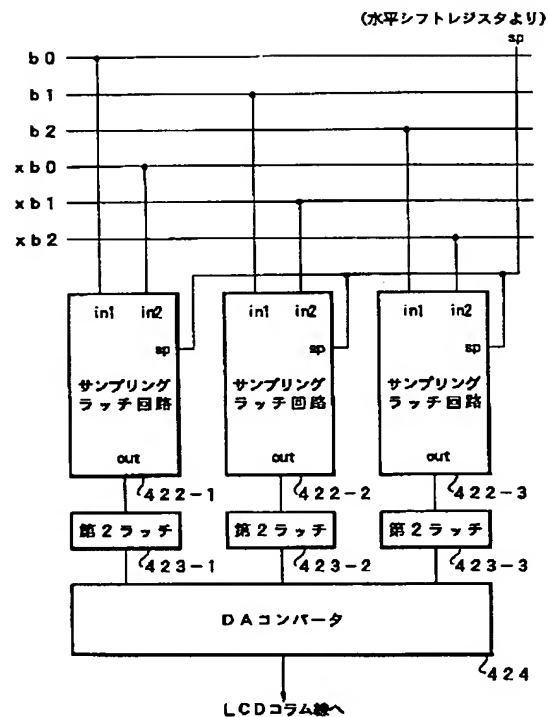
【図7】



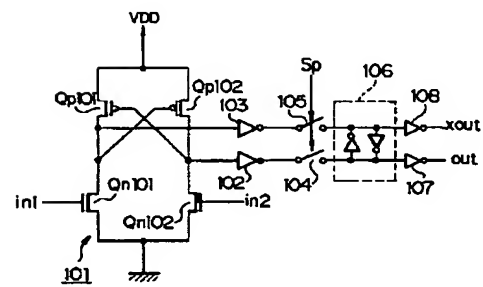
【図9】



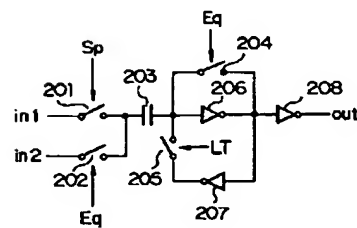
【図8】



【図10】



【図11】



フロントページの続き

Fターム(参考) SC006 AA16 AF53 AF64 AF83 BB16
BC06 BC12 BC20 BF03 BF04
BF11 BF14 BF27 BF32 BF33
BF34 EB05 FA41 FA47 FA56
SC080 AA10 BB05 DD22 DD26 EE29
FF11 JJ02 JJ03 JJ04